

ITO FILM FORMATION METHOD FOR SEMICONDUCTOR PHOTOELECTRIC ELEMENT

Patent Number: JP6188455
Publication date: 1994-07-08
Inventor(s): KATO TOSHIHIRO; others: 01
Applicant(s): DAIDO STEEL CO LTD
Requested Patent: ☐ JP6188455
Application Number: JP19920355541 19921218
Priority Number(s):
IPC Classification: H01L33/00; C23C14/08; C23C14/34; C23C14/58; H01L31/04
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce contact resistance between a semiconductor and an ITO film by forming the TTO film on a semiconductor photoelectric element which converts light to electricity and then heating the element to a specified temperature so as to anneal.

CONSTITUTION: There is provided a transparent and high conductivity ITO film 24 made of $\text{In}_2\text{O}_3\text{-SnO}_2$ on a cap layer 22. Metal electrodes 26 and 28 are mounted respectively to a part of the ITO film 24 and the bottom of a substrate 12. The ITO film 24 is formed on a cap layer 22 by sputtering while oxygen partial pressure is held at a temperature of 800 deg.C for five minutes under a nitrogen atmosphere of around 100ppm after the film is formed and then the film is annealed. Since the ITO film 24 is annealed after the film formation, the contact resistance against the cap layer 22 is lowered. This construction makes it possible to use a transparent ITO film for an electrode portion of a semiconductor photoelectric semiconductor.

Data supplied from the esp@cenet database - 12

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-188455

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F.I	技術表示箇所
H 0 1 L 33/00	E	7376-4M		
C 2 3 C 14/08		9271-4K		
14/34		9046-4K		
14/58		8520-4K		
		7376-4M		
H 0 1 L 31/ 04 H				
審査請求 未請求 請求項の数1(全 4 頁) 最終頁に続く				

(21)出願番号 特願平4-355541

(22)出願日 平成4年(1992)12月18日

(71)出願人 000003713

大同特殊鋼株式会社

愛知県名古屋市中区錦一丁目11番18号

(72)発明者 加藤 俊宏

愛知県春日井市中央台八丁目7番地の4

(72)発明者 諏澤 寛源

愛知県東海市加木屋町南鹿持18

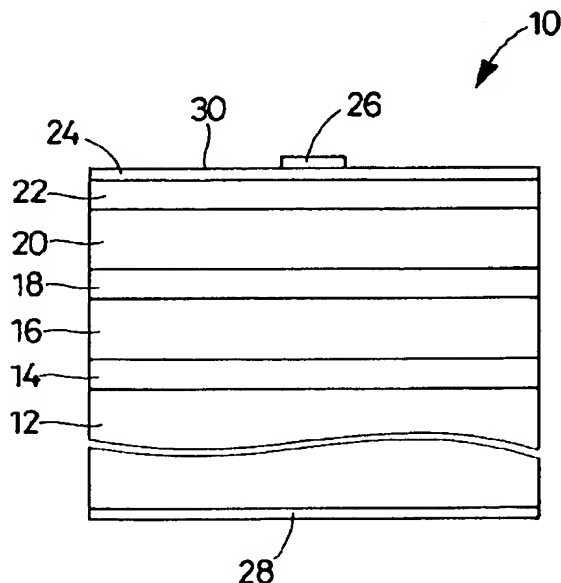
(74)代理人 弁理士 池田 治幸 (外2名)

(54)【発明の名称】 半導体光電素子に対するITO膜形成方法

(57)【要約】

【目的】 半導体光電素子の電極部に透明で導電率の高いITO膜を設けた場合に問題となるコンタクト抵抗を低減する。

【構成】 面発光型発光ダイオード10のキャップ層22上にスパッタリングによってITO膜24を形成した後、800℃程度に5分間保持してアニールする。



【特許請求の範囲】

【請求項1】 光と電気とを交換する半導体光電素子に対して、 $\text{In}_2\text{O}_3-\text{SnO}_2$ から成る透明で導電率の高いITO膜を形成する方法であって、前記半導体光電素子に前記ITO膜を成膜した後、所定の温度まで加熱してアニールすることを特徴とする半導体光電素子に対するITO膜形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は光と電気とを交換する半導体光電素子にITO膜を形成する技術に関するものである。

【0002】

【従来の技術】 面発光型の発光ダイオードやホトダイオード、ホトトランジスタ、太陽電池など、電気を光に変換したり光を電気に変換したりする半導体光電素子が広く知られている。このような半導体光電素子は、素子の両面に電極が取り付けられて駆動電圧を印加したり発生電流を取り出したりしているが、発光面や受光面側の電極については、発光や受光を阻害しないようにする必要があり、そのための一手段として、 $\text{In}_2\text{O}_3-\text{SnO}_2$ から成る透明で導電率の高いITO膜を設けることが考えられている。

【0003】

【発明が解決しようとする課題】 しかしながら、上記ITO膜をスパッタリング等によって半導体の表面に形成した場合、両者間のコンタクト抵抗が高く、必ずしも実用的ではなかった。図5は、半導体光電素子に広く用いられているGaAs半導体にITO膜を形成した場合の電流-電圧特性の一例で、50mAの電流を流すのに約3.6V程度の電圧を必要とし、1.6V程度で動作させたい発光ダイオードなどには適用できない。

【0004】 本発明は以上の事情を背景として為されたもので、その目的とするところは、半導体とITO膜との間のコンタクト抵抗を低減することにある。

【0005】

【課題を解決するための手段】 かかる目的を達成するために、本発明は、光と電気とを交換する半導体光電素子に対して、 $\text{In}_2\text{O}_3-\text{SnO}_2$ から成る透明で導電率の高いITO膜を形成する方法であって、前記半導体光電素子に前記ITO膜を成膜した後、所定の温度まで加熱してアニールすることを特徴とする。

【0006】

【実施例】 以下、本発明の一実施例を図面に基づいて詳細に説明する。

【0007】 図1は、半導体光電素子としての面発光型発光ダイオード10の構造を説明する図で、p-GaAs基板12上には、MOCVD（有機金属化学気相成長）法等のエピタキシャル成長技術により、半導体多層膜反射鏡14、p-AlGaAsクラッド層16、p-

GaAs活性層18、n-AlGaAsクラッド層20、およびn-GaAsキャップ層22が、それぞれ所定の膜厚で順次積層されている。キャップ層22上には、 $\text{In}_2\text{O}_3-\text{SnO}_2$ から成る透明で導電率の高いITO膜24が設けられているとともに、そのITO膜24上の一部と基板12の下面にはそれぞれ金属電極26、28が取り付けられている。ITO膜24は、スパッタリングによってキャップ層22上に形成されているとともに、その成膜後に、酸素分圧が100ppm程度の窒素雰囲気下で800℃に5分間保持してアニールする。なお、図1における各部の厚さは必ずしも正確な割合で示したものではない。

【0008】 かかる面発光型発光ダイオード10は、p-AlGaAsクラッド層16、p-GaAs活性層18、およびn-AlGaAsクラッド層20によってダブルヘテロ構造が構成されており、電極26、28間に順電圧が印加されることにより、活性層18から光が発せられ、ITO膜24を通過して上面30から放出される。前記半導体多層膜反射鏡14は、基板12側へ進行した光を光波干渉によって反射するもので、これにより高い光出力が得られる。

【0009】 ここで、本実施例では、電極26の下に透明で導電率の高いITO膜24が設けられているため、電極26が小さくても素子内の電流分布が略均一となり、活性層18の全域で光が発せられるとともに、ITO膜24を通して光が良好に取り出される。しかも、このITO膜24は、成膜後にアニールが施されているため、キャップ層22との間のコンタクト抵抗が低く、例えば50mAの電流を流す場合の電圧降下は0.1V程度であり、1.6V程度の電圧で面発光型発光ダイオード10を良好に動作させることができる。

【0010】 上記アニールによる抵抗低減効果を明らかにするため、GaAs半導体にITO膜を形成して電流-電圧特性を調べた。図2の(a)は用意したGaAs半導体40で、板厚は350μm、大きさは40mm×40mmである。かかるGaAs半導体40に、スパッタリングによりITO膜42を形成し、同図の(b)に示すテストピース44を作製した。成膜条件は、Ar圧力：3mTorr（流量40SCCM）、酸素流量：0.2SCCM、投入電力：約80W（定電流源DC260mA）、基板温度：350℃、ターゲットとの離間距離：65mm、成膜時間：32分19秒、使用ターゲット：ITO HP品（ SnO_2 10wt%）4"φである。その後、同図の(c)に示すように一對のGaAs半導体46、48で上記テストピース44を上下から挟んでアニールを施した。アニールは、酸素分圧が100ppm程度の窒素雰囲気下で400℃に5分間保持した後、室温冷却することにより行った。GaAs半導体46、48でテストピース44を挟むのは、GaAs半導体40のAsが飛ばないようにするため、窒素

雰囲気中で加熱したのは、GaAs半導体40の酸化を防止するためである。そして、取り出したテストピース44のGaAs半導体40側の下面全面に金属電極50を取り付けるとともに、ITO膜42の上面の一部に金属電極52を取り付け、電流-電圧特性を調べた。金属電極52の大きさは、 $350\mu\text{m} \times 350\mu\text{m}$ である。

【0011】図3は、上記試験結果を示す図で、50mAの電流を流すのに必要な電圧は約0.9Vである。同様にして、アニールの加熱温度が650℃、700℃、750℃、および800℃の場合について、それぞれ電流-電圧特性を調べ、50mAの電流を流すのに必要な電圧をプロットしたものが図4であり、前記実施例のように800℃でアニールした場合には約0.1Vになる。一方、図5は、前記テストピース44にアニールを施すことなく電極50、52を取り付けて電流-電圧特性を調べた結果で、この場合には50mAの電流を流すのに約3.6Vの電圧が必要であり、これ等の結果からITO膜42を成膜した後にアニールを施せば、GaAs半導体40との間のコンタクト抵抗が大幅に低減されることが判る。

【0012】なお、上例では面発光型発光ダイオード10について説明したが、ホトダイオードや太陽電池などの他の半導体光電素子、GaAs以外の半導体を用いた半導体光電素子にも本発明は同様に適用され得る。

【0013】また、上記試験例では加熱時間が5分で加*

*熱温度が400℃~800℃の場合について説明したが、アニール条件は適宜変更され得る。但し、図4から明らかなように加熱温度は650℃程度以上が望ましい。ITO膜を形成する際の成膜手段や成膜条件についても適宜変更できる。

【0014】

【発明の効果】このように、ITO膜を成膜した後にアニールを施せばコンタクト抵抗が大幅に低減され、半導体光電素子の電極部に透明なITO膜を用いることが可能となる。

【図面の簡単な説明】

【図1】本発明方法に従ってITO膜が設けられた面発光型発光ダイオードの一例を説明する図である。

【図2】本発明の効果を明らかにするため、GaAs半導体にITO膜を形成してアニールを施し、電流-電圧特性を調べる際の試験方法を説明する図である。

【図3】アニールの加熱温度が400℃の場合の電流-電圧特性を示す図である。

【図4】50mAの電流を流すのに必要な電圧を、アニールの加熱温度との関係で示す図である。

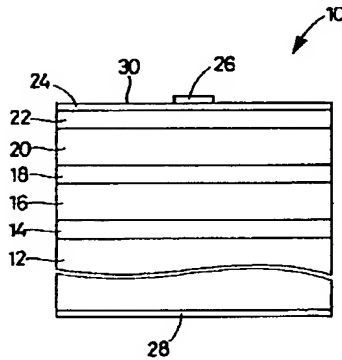
【図5】アニールを施さなかった場合の電流-電圧特性を示す図である。

【符号の説明】

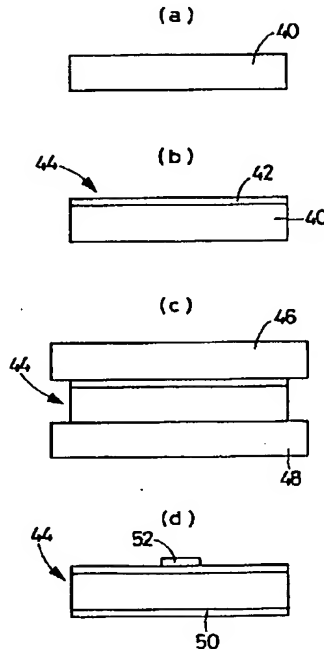
10：面発光型発光ダイオード（半導体光電素子）

24：ITO膜

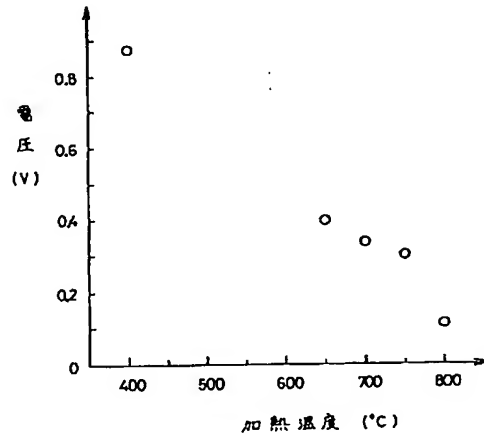
【図1】



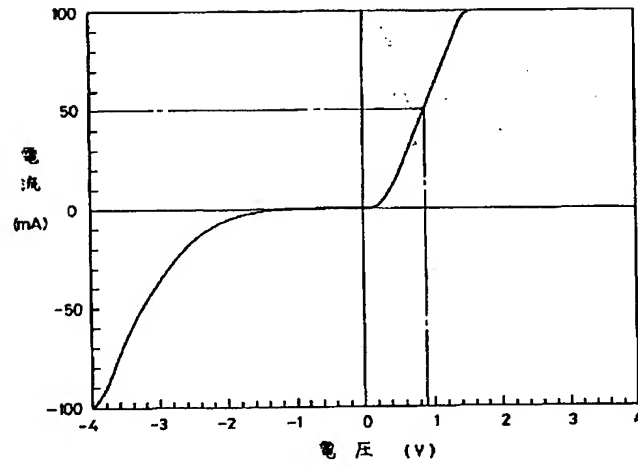
【図2】



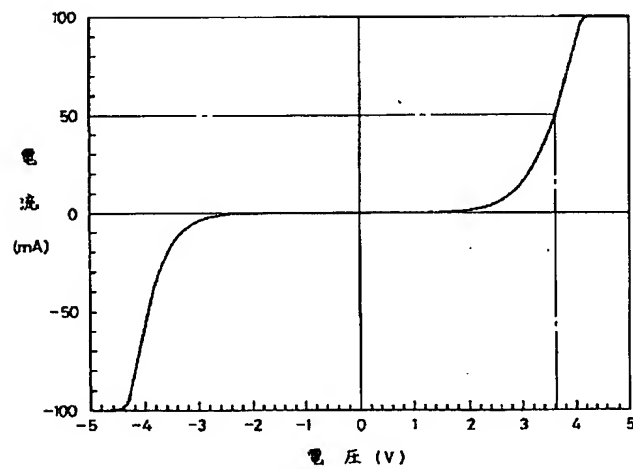
【図4】



【図3】



【図5】



フロントページの続き

(51)Int.Cl.⁵
H01L 31/04

識別記号 片内整理番号 F I

技術表示箇所